



Packet No.: GR 00 P 12518

I hereby certify that this correspondence is being deposited with the United States Postal Service as First Class Mail in an envelope addressed to the Assistant Commissioner for Patents, Washington, D.C. 20231, on the date indicated below.

By: Markus Nollf Date: August 7, 01

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Jain Raj Kumar
Applic. No. : 09/886,558
Filed : June 21, 2001
Title : System Containing A Plurality Of Central Processing Units

CLAIM FOR PRIORITY

Hon. Commissioner of Patents and Trademarks,
Washington, D.C. 20231

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 100 30 380.3, filed June 21, 2000.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,

Markus Nollf
For Applicant

MARKUS NOLFF
REG. NO. 37,006

Date: August 7, 2001

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/kf



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 100 30 380.3

Anmeldetag: 21. Juni 2000

Anmelder/Inhaber: Infineon Technologies AG,
München/DE

Bezeichnung: Mehrere CPUs enthaltendes System

IPC: G 06 F 15/16

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 05. Juli 2001
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Nietiedt

Beschreibung

Mehrere CPUs enthaltendes System

- 5 Die vorliegende Erfindung betrifft eine Vorrichtung gemäß dem Oberbegriff des Patentanspruchs 1, d.h. ein mehrere CPUs enthaltendes System.

1 Solche Systeme sind seit vielen Jahren in den verschiedensten Ausführungsformen bekannt.

Ein bekanntes Problem bei derartigen Systemen besteht darin, daß deren Aufbau und Betrieb im allgemein sehr aufwendig ist.

- 1 Dies liegt unter anderem daran, daß für jede CPU ein eigener Speicher vorgesehen wird, in welchem die von der betreffenden CPU benötigten Programme und Daten gespeichert sind. Dies ist nachteilig, weil es hierbei vorkommen kann, daß bestimmte Daten in mehreren Speichern, also mehrfach gespeichert werden müssen und/oder daß Teile der in den Speichern gespeicherten Daten in Übereinstimmung gehalten werden müssen.
- 20

Eine mögliche Alternative hierzu besteht darin, für alle CPUs einen gemeinsamen Speicher vorzusehen. Dies ist allerdings mit erheblichen anderen Nachteilen verbunden: die Verbindung der CPUs mit dem gemeinsamen Speicher erfordert im allgemeinen sehr lange und weit verzweigte Busse, und darüber hinaus muß eine die Busvergabe regelnde Steuereinrichtung vorgesehen werden.

30

Der vorliegenden Erfindung liegt daher die Aufgabe zugrunde, ein einfach aufgebautes und betreibbares System mit mehreren CPUs zu schaffen.

- 35 Diese Aufgabe wird erfindungsgemäß durch das in Patentanspruch 1 beanspruchte System gelöst.

Das erfindungsgemäße System zeichnet sich dadurch aus,

- daß für die mehreren CPUs ein gemeinsamer Speicher vorgesehen ist,
- daß von den mehreren CPUs nur eine oder mehrere bestimmte CPUs an den zur Adressierung des gemeinsamen Speichers vorgesehenen Adreß-Bus angeschlossen sind, und
- daß Zugriffe der anderen CPUs auf den gemeinsamen Speicher über eine der an den Adreß-Bus angeschlossene CPUs erfolgen.

10

Diese Merkmale ermöglichen es, daß das System, obgleich es einen gemeinsamen Speicher aufweist, mit verhältnismäßig kurzen und/oder weniger verzweigten Bussen auskommt, und daß der Zugriff auf den gemeinsamen Speicher relativ einfach und flexibel steuerbar ist.

15

Das beanspruchte System läßt sich damit mit verhältnismäßig geringem Aufwand aufbauen und betreiben.

20

Vorteilhafte Weiterbildungen der Erfindung sind den Unteransprüchen, der folgenden Beschreibung, und der Figur entnehmbar.

25

Die Erfindung wird nachfolgend anhand eines Ausführungsbeispiels unter Bezugnahme auf die Figur näher erläutert.

Die Figur zeigt schematisch den Aufbau des nachfolgend näher beschriebenen Systems.

30

Das betrachtete System enthält fünf CPUs. Es sei jedoch bereits an dieser Stelle darauf hingewiesen, daß auf diese Anzahl keine Einschränkung besteht. Die nachfolgend näher beschriebenen Besonderheiten des betrachteten Systems lassen sich auch bei Systemen mit beliebig viel mehr oder weniger

35

CPUs einsetzen.

- Die CPUs des betrachteten Systems sind auf einem einzigen Halbleiter-Chip untergebracht. Bei dem Halbleiter-Chip handelt es sich um einen Signalprozessor, der über mehrere Kanäle erhaltene Daten parallel verarbeitet. Auch hierauf besteht
- 5 keine Einschränkung. Der Halbleiter-Chip, dessen Bestandteil die CPUs sind, kann auch ein beliebiger anderer Baustein, beispielsweise ein Mikroprozessor oder Mikrocontroller sein. Darüber hinaus besteht auch keine Notwendigkeit, daß die mehreren CPUs auf einem einzigen Halbleiter-Chip untergebracht
- 10 sind; die nachfolgend näher beschriebenen Besonderheiten des betrachteten Systems erweisen sich auch als vorteilhaft, wenn die CPUs auf mehrere verschiedene Bauteile oder Bauteil-Gruppen verteilt sind.
- 15 Die mehreren CPUs können den selben oder einen unterschiedlichen Aufbau aufweisen.

Die fünf CPUs des betrachteten Systems sind in der Figur mit den Bezugszeichen CPU0 bis CPU4 bezeichnet.

20

Für diese fünf CPUs ist ein einziger, für alle CPUs gemeinsamer Speicher vorgesehen; dieser Speicher ist in der Figur mit dem Bezugszeichen MEM bezeichnet.

25

Der gemeinsame Speicher MEM ist über

- einen zur Adressierung des Speichers vorgesehenen Adreß-Bus ADRBUS,
- 30 - einen zur Übertragung von in den Speicher einzuschreibenden Daten vorgesehenen Daten-Bus DATAWRITEBUS,
- einen zur Übertragung von aus dem Speicher ausgelesenen Daten vorgesehenen Daten-Bus DATAREADBUS, und
- 35 - diversen, in der Figur nur teilweise dargestellten Steuerleitungen zur Steuerung des Speichers, insbesondere Leitun-

gen, über welche an den Speicher Aufforderungen zum Auslesen (Leseaufforderungssignal) oder Einschreiben von Daten (Schreibaufforderungssignal) übermittelt werden,

- 5 mit den restlichen Komponenten des in der Figur dargestellten Systems verbunden. Diese restlichen Komponenten sind neben den bereits erwähnten CPUs CPU0 bis CPU4 ein ODER-Glied OR, eine im betrachteten Beispiel durch ein Register R realisierte Adreß-Speichereinrichtung, und eine im betrachteten Bei-
10 spiel durch einen Multiplexer MUX realisierte Schalteinrichtung.

Der Adreß-Bus ADRBUS besteht aus zwei Teilen: einem ersten Teil, der zwischen der CPU CPU0, dem Register R und einem der
15 Eingangsanschlüsse des Multiplexers MUX verläuft und diese miteinander verbindet, und einem zweiten Teil, der zwischen dem Ausgangsanschluß des Multiplexers MUX und dem Speicher MEM verläuft und diese miteinander verbindet.

- 20 Der Daten-Bus DATAWRITEBUS verläuft zwischen der CPU CPU0 und dem Speicher MEM und verbindet diese miteinander.

Der Daten-Bus DATAREADBUS verläuft zwischen den CPUs CPU0, CPU1, CPU2, CPU3, CPU4, und dem Speicher MEM und verbindet
25 diese miteinander.

- Der Multiplexer MUX weist zwei Eingangsanschlüsse und einen Ausgangsanschluß auf. Wie bereits erwähnt wurde, ist der erste Eingangsanschluß über den ersten Teil des Adreß-Busses
30 ADRBUS mit der CPU CPU0 verbunden, und ist der Ausgangsanschluß über den zweiten Teil des Adreß-Busses ADRBUS mit dem Speicher MEM verbunden. Der zweite Eingangsanschluß des Multiplexers MUX ist über einen in der Figur nicht näher bezeichneten Bus mit dem Register R verbunden. Der Multiplexer
35 MUX wird durch ein in der Figur mit dem Bezugszeichen MUXC bezeichnetes Steuersignal gesteuert. Das Steuersignal MUXC entscheidet, ob die über den ersten Teil des Adreß-Busses

ADRBUS übertragenen (aus der CPU CPU0 ausgegebene Daten) oder die im Register R gespeicherten Daten als Adresse verwendet werden, durch welche festgelegt wird, welche Daten aus dem Speicher ausgelesen werden sollen bzw. wohin in den Speicher einzuschreibende Daten geschrieben werden sollen.

Das bereits mehrfach erwähnte Register R

- kann von der CPU CPU0 über den ersten Teil des Adreß-Busses ADRBUS beschrieben werden,
- kann seinen Inhalt auf Veranlassung durch ein Steuersignal C inkrementieren, und
- gibt seinen Inhalt an den zweiten Eingangsanschluß des Multiplexers MUX aus.

Das die Inkrementierung des Register-Inhalts veranlassende Steuersignal C wird im betrachteten Beispiel zugleich als ein dem Speicher MEM zugeführtes Leseaufforderungs-Signal verwendet, durch welches der Speicher MEM dazu veranlaßt wird, die Daten, die unter der ihm über den Adreß-Bus ADRBUS zugeführten Adresse gespeichert sind, auszulesen und über den Daten-Bus DATAREADBUS auszugeben.

Es sei bereits an dieser Stelle darauf hingewiesen, daß die Inkrementierung des Register-Inhalts und die Veranlassung des Speichers MEM zum Auslesen von Daten auch durch verschiedene Steuersignale bewirkt werden können.

Es sei ferner darauf hingewiesen, daß das die Inkrementierung des Register-Inhalts veranlassende Steuersignal C alternativ zugleich als ein dem Speicher MEM zugeführtes Schreibaufforderungs-Signal verwendet werden kann, durch welches der Speicher MEM dazu veranlaßt wird, die Daten, die ihm über den Daten-Bus DATAWRITEBUS zugeführt werden, unter der ihm über den Adreß-Bus ADRBUS zugeführten Adresse zu speichern; dies er-

weist sich beispielsweise als vorteilhaft, wenn die nicht an den Adreß-Bus ADRBUS angeschlossenen CPUs häufig und/oder effizient Schreibzugriffe durchführen (müssen) und aus diesem Grund nicht mit dem DATAREADBUS, sondern mit dem DATAWRITEBUS verbunden sind.

Das Steuersignal wird vorliegend durch das ODER-Glied OR gebildet; das ODER-Glied OR unterwirft ihm zugeführte Steuersignale C1 bis C4 einer ODER-Verknüpfung und gibt das Ergebnis als das bereits erwähnte Steuersignal C an das Register R und den Speicher MEM aus.

Die Signale C1 bis C4 stammen von den nicht an den Adreß-Bus ADRBUS angeschlossenen CPUs CPU1 bis CPU4 oder von diesen zugeordneten Einrichtungen und signalisieren, ob die jeweiligen CPUs ein Auslesen von Daten aus dem Speicher veranlassen möchten.

Die Signale C1 bis C4 hängen im betrachteten Beispiel von den Adressen ab, welche die nicht an den Adreß-Bus ADRBUS angeschlossenen CPUs CPU1 bis CPU4 ausgeben.

Die CPUs CPU1 bis CPU4 geben wie auch andere CPUs Adressen zur Adressierung eines daran anschließbaren Speichers aus. Weil die CPUs CPU1 bis CPU4 aber nicht über zugeordnete eigene Speicher verfügen und auch nicht an den Adreß-Bus ADRBUS zur Adressierung des gemeinsamen Speichers MEM angeschlossen sind, werden die genannten Adressen nicht zur Speicher-Adressierung benötigt und können anderweitig verwendet werden. Im betrachteten Beispiel werden die Adreßsignale der CPUs CPU1 bis CPU4 oder in Abhängigkeit davon gebildete Signale zur Steuerung des Speichers MEM, des Registers R und/oder sonstiger Systemkomponenten verwendet, wobei durch diese Signale prinzipiell beliebige Systemkomponenten beliebig gesteuert werden können.

Im betrachteten Beispiel sei angenommen, daß die CPUs CPU1 bis CPU4 durch Ausgabe einer Adresse 8000 (hex) signalisieren, daß sie den gemeinsamen Speicher MEM veranlassen wollen, daß dieser die Daten, die unter der ihm zugeführten (im Register R gespeicherten) Adresse gespeichert sind, ausliest und auf den Daten-Bus DATAREADBUS ausgibt. In diesem Fall werden die Signale C1 bis C4 durch innerhalb oder außerhalb der CPUs CPU1 bis CPU4 vorgesehene Adreßvergleichseinrichtungen erzeugt, welche überprüfen, ob die von den betreffenden CPUs ausgegebenen Adressen den Wert 8000 aufweisen; unter Umständen können auch gleich die 16. Bits der von den betreffenden CPUs ausgegebenen Adressen als die Signale C1 bis C4 verwendet werden.

Wenn durch eines der Signale C1 bis C4 signalisiert wird, daß ein Speicherzugriff erfolgen soll, nimmt das Steuersignal C einen Wert an, durch welchen

- der gemeinsame Speicher MEM dazu veranlaßt wird, die Daten, die unter der ihm zugeführten (im Register R gespeicherten) Adresse gespeichert sind, auf den Daten-BUS DATAREADBUS auszugeben, und

- das Register R veranlaßt wird, seinen Inhalt zu inkrementieren.

Damit können die CPUs CPU1 bis CPU4 durch eine wiederholte Ausgabe der Adresse 8000 einen beliebig großen Speicherbereich auslesen.

Entsprechendes gilt selbstverständlich auch, wenn die CPUs CPU1 bis CPU4 durch die Ausgabe einer beliebigen anderen Adresse oder durch Setzen oder Rücksetzen eines oder mehrerer anderer Adreßbits signalisieren, daß sie den Speicher zur Ausgabe von Daten und das Register R zur Inkrementierung des Register-Inhalts veranlassen wollen.

Ferner kann vorgesehen werden, daß die CPUs CPU1 bis CPU4 durch Ausgabe anderer Adressen oder Setzen oder Rücksetzen anderer Adreßbits andere Systemkomponenten steuern.

- 5 Der Vollständigkeit halber sei angemerkt, daß die Signale C1 bis C4 auch beliebig anders erzeugt werden können; insbesondere besteht keine Notwendigkeit, daß diese Signale basierend auf den von den CPUs ausgegebenen Adressen gebildet werden.
- 10 Wie der Aufbau des betrachteten Systems bereits vermuten läßt, kommt der CPU CPU0 eine besondere Funktion zu: wie nachfolgend noch genauer beschrieben wird, erfolgen sämtliche Zugriffe der vorhandenen CPUs auf den Speicher MEM über die CPU CPU0. Sie hat im betrachteten Beispiel keine weitere
- 15 Funktion, kann aber selbstverständlich auch beliebige weitere Aufgaben übernehmen.

- Die CPU CPU0 ist die einzige der vorhandenen CPUs, die den Speicher MEM ohne Einschränkungen adressieren kann: nur sie
- 20 ist über den Adreß-Bus ADRBUS mit dem Speicher MEM verbunden, und sie bestimmt über das von ihr erzeugte Steuersignal MUXC, ob die auf den Adreß-Bus anliegenden Daten oder die im Register R gespeicherten Daten als Adresse verwendet werden.

- 25 Wenn eine der anderen CPUs CPU1 bis CPU4 Daten aus dem Speicher MEM benötigt, teilt sie dies (über in der Figur nicht gezeigte Verbindungsleitungen zwischen den CPUs) unter Angabe von Informationen darüber, wo die benötigten Daten im Speicher gespeichert sind, der CPU CPU0 mit.

- 30 Die Informationen über die Stelle, an welcher die benötigten Daten gespeichert sind, können beliebige Informationen sein, beispielsweise

- 35 - die an den Speicher MEM anzulegende Adresse,

- ein eine in der CPU CPU0 gespeicherte Adresse spezifizierender Code, und/oder
- ein Offset bezüglich einer in der CPU CPU0 gespeicherten Adresse.

Die Art und Weise der Übertragung dieser Information zur CPU CPU0, d. h. insbesondere ob eine serielle oder eine parallele Übertragung erfolgt, ist keinen Einschränkungen unterworfen.

10

Wenn die CPU CPU0 von einer der CPUs CPU1 bis CPU4 eine Mitteilung erhält, daß diese Daten aus dem Speicher MEM benötigt,

- 15 - gibt sie die Adresse, unter welcher die benötigten Daten im Speicher MEM gespeichert sind, auf den Adreß-Bus ADRBUS aus, und sorgt dafür, daß diese in das Register R übernommen wird,

- 20 - setzt das den Multiplexer MUX steuernde Steuerbit MUXC auf einen Wert, der den Multiplexer MUX dazu veranlaßt, die im Register R gespeicherten Daten durchzuschalten, und

- bestätigt der das Auslesen des Speichers MEM anfordernden CPU, daß die Vorkehrungen, die zum gewünschten Auslesen erforderlich sind, getroffen werden oder wurden.

Die das Auslesen des Speichers MEM anfordernde CPU erzeugt daraufhin ein den Auslese-Wunsch signalisierendes Steuersignal, nämlich das Signal Cx (d.h. C1 bzw. C2 bzw. C3 bzw. C4) und kann sodann die benötigten Daten aus dem Speicher MEM auslesen. Die Ausgabe des Steuersignals Cx bewirkt, daß

- 35 - der Speicher MEM die Daten, die unter der im Register R stehenden Adresse gespeichert sind, ausliest und über den Daten-Bus DATAREADBUS ausgibt, und

- der Inhalt des Registers R (die darin gespeicherte Adresse) inkrementiert wird.

Wenn die das Auslesen des Speichers MEM anfordernden CPU danach erneut ein Steuersignal Cx ausgibt, bewirkt dies, daß

- der Speicher MEM die Daten, die unter der im Register R stehenden inkrementierten Adresse gespeichert sind, ausliest und über den Daten-Bus DATAREADBUS ausgibt, und
- der Inhalt des Registers R (die darin gespeicherte Adresse) erneut inkrementiert wird.

Dieser Vorgang (die Ausgabe des Steuersignals Cx durch die das Auslesen des Speichers MEM anfordernde CPU) kann beliebig oft wiederholt werden. Dadurch kann die betreffende CPU eine beliebig große Datenmenge aus dem Speicher MEM auslesen.

Wenn die den Speicher MEM auslesende CPU keine weiteren Daten mehr benötigt, teilt sie dies der CPU CPU0 mit, welche daraufhin einer anderen CPU das Auslesen von Daten aus dem Speicher MEM ermöglichen kann.

Wann die CPU CPU0 welcher CPU das Auslesen von Daten aus dem Speicher MEM ermöglicht, kann grundsätzlich beliebig festgelegt werden. Im betrachteten Beispiel erfolgt die Vergabe der Zugriffsberechtigung nach dem sogenannten Round-Robin-Verfahren, durch welches allen CPUs die selbe Priorität zugewiesen wird.

Ein wie beschrieben erfolgreiches Auslesen von im Speicher MEM gespeicherten Daten ermöglicht einen äußerst einfachen Aufbau des Systems: insbesondere entfällt die Notwendigkeit, den Adreß-Bus, über welchen dem Speicher MEM die Adresse übermittelt wird, von welcher er lesen soll bzw. welche er beschreiben soll, mit allen CPUs zu verbinden; es genügt, wenn der Adreß-Bus mit der das Auslesen des Speichers MEM organisie-

renden CPU (im betrachteten Beispiel der CPU0) verbunden wird. Dadurch läßt sich die Länge des Adreß-Busses ADRBUS und die Anzahl der über diesen zu verbindenden Systemkomponenten auf ein Minimum reduzieren. Daß die restlichen CPUs nicht
5 mehr völlig selbständig, sondern nur über eine das Auslesen des Speichers organisierenden CPU auf den Speicher zugreifen können, stellt in der Praxis keinen nennenswerten Nachteil dar. Zwar kann dadurch, daß die Adresse nicht von der CPU, welche die Daten benötigt, sondern von einer den Speicherzu-
10 griff organisierenden CPU auf den Adreß-Bus ausgegeben wird, unter Umständen eine Verzögerung auftreten, doch handelt es sich hierbei um eine einmalige Verzögerung, die unabhängig von der Datenmenge, die aus dem Speicher ausgelesen wird, pro Auslesevorgang nur ein einziges Mal auftritt. Im Gegenzug
15 entfällt die Notwendigkeit, eine die Busvergabe steuernde Bussteuereinrichtung vorzusehen.

Da, wie vorstehend bereits erwähnt wurde, nur die CPU CPU0 in der Lage ist, den Speicher MEM ohne Einschränkungen zu adres-
20 sieren, kann auch das Einschreiben von Daten in den Speicher MEM nur unter Mitwirkung durch die CPU CPU0 erfolgen.

Im betrachteten Beispiel wird davon ausgegangen, daß ein Beschreiben des Speichers MEM sehr selten durchzuführen ist.
25 Deshalb ist der Daten-Bus DATAWRITEBUS, über welchen die im Speicher MEM zu speichernden Daten zu diesem übertragen werden, ebenfalls nur mit der CPU CPU0 verbunden; die CPUs CPU1 bis CPU4 sind nicht an den Daten-Bus DATAWRITEBUS angeschlos-
sen.

30 Die CPUs CPU1 bis CPU4 verfügen damit nicht über die Möglichkeit, Daten in den Speicher MEM zu schreiben. Wenn eine der CPUs CPU1 bis CPU4 Daten in den Speicher MEM zu schreiben hat, muß dies vollständig über die CPU CPU0 erfolgen. Hierzu
35 transferiert die CPU, die Daten in den Speicher MEM zu schreiben hat, die in den Speicher zu schreibenden Daten und die Adresse, unter welcher diese Daten zu speichern sind, an

die CPU0, und läßt diese das Einschreiben der übermittelten Daten in den Speicher MEM vornehmen.

Der Vollständigkeit halber sei angemerkt, daß zwischen der CPU CPU0 und dem Speicher MEM eine in der Figur nicht gezeigte Steuerleitung vorgesehen ist, über welche die CPU CPU0 dem Speicher MEM signalisiert, daß dieser die über den Daten-Bus DATAWRITEBUS übertragenen Daten speichern soll.

10 Dadurch, daß auch der Daten-Bus DATAWRITEBUS nur mit der CPU CPU0 verbunden ist, läßt sich auch dessen Länge und die Anzahl der an diesen anzuschließenden Systemkomponenten auf ein Minimum reduzieren.

15 Beim betrachteten System ist, obgleich für mehrere CPUs ein gemeinsamer Speicher vorgesehen ist, nur der Daten-Bus DATAREADBUS, über welchen aus dem Speicher ausgelesene Daten ausgegeben werden, mit allen CPUs verbunden. Die anderen Busse, das heißt der Adreß-Bus ADRBUS und der Daten-Bus DATAWRITEBUS, sind nur mit einer einzigen CPU verbunden. Dadurch lassen sich die Länge der Busse und die Anzahl der daran anzuschließenden Systemkomponenten auf ein Minimum reduzieren.

25 Es dürfte einleuchten daß das in der Figur gezeigte und unter Bezugnahme darauf beschriebene System in vielfacher Hinsicht modifizierbar ist. Insbesondere kann vorgesehen werden,

30 - daß auch der Daten-Bus DATAREADBUS nur mit bestimmten CPUs verbunden ist (dies ist sinnvoll, wenn die CPUs CPU1 bis CPU4 nur selten Daten aus dem Speicher benötigen und/oder wenn das Auslesen von Daten aus dem Speicher nicht zeitkritisch ist), und/oder

35 - daß der Daten-Bus DATAWRITEBUS mit mehreren oder allen vorhandenen CPUs verbunden ist (dies ist sinnvoll, wenn die CPUs CPU1 bis CPU4 häufig Daten in den Speicher einzu-

schreiben haben und/oder wenn das Einschreiben von Daten in den Speicher sehr schnell vonstatten gehen muß), und/oder

- 5 - daß der Adreß-Bus ADRBUS mit mehr als nur einer CPU verbunden ist (dies ist sinnvoll, wenn mehrere CPUs uneingeschränkt selbst auf den gemeinsamen Speicher zugreifen können sollen, und/oder wenn der Zugriff der nicht an den Adreß-Bus ADRBUS angeschlossenen CPUs über verschiedene andere CPUs erfolgen können soll).

10

Grundsätzlich können der Adreß-Bus ADRBUS und die Daten-Busse DATAREADBUS und DATAWRITEBUS unabhängig voneinander mit beliebig vielen und beliebig ausgewählten CPUs verbunden sein.

- 15 Unabhängig hiervon kann es sich als vorteilhaft erweisen, wenn einzelne, mehrere oder alle CPUs die Möglichkeit haben, den Inhalt des Registers R auszulesen. Dies kann beispielsweise dadurch bewerkstelligt werden, daß das Register R mit dem Daten-Bus DATAREADBUS verbunden ist und auf Veranlassung
20 durch ein entsprechendes Steuersignal seinen Inhalt auf den Daten-Bus DATAREADBUS ausgibt, wobei das Steuersignal ähnlich wie das vorstehend erwähnte Steuersignal C, also abhängig von den von den CPUs ausgegebenen Adressen erzeugt werden kann.

- 25 Unabhängig hiervon und unabhängig von weiteren Einzelheiten der praktischen Realisierung kommt das betrachtete System, obgleich es einen gemeinsamen Speicher aufweist, mit verhältnismäßig kurzen und/oder wenig verzweigten Bussen aus, und ist nichtsdestotrotz relativ einfach und flexibel steuerbar
30 und betreibbar.

Bezugszeichenliste

	ADRBUS	Adreß-Bus
	Cx	Steuersignale zur Steuerung von MEM und R
5	CPUx	CPUs
	DATAREADBUS	Daten-Bus zur Übertragung von aus MEM auszu- lesenden Daten
	DATAWRITEBUS	Daten-Bus zur Übertragung von in MEM einzu- schreibenden Daten
10	MEM	gemeinsamer Speicher
	MUX	Multiplexer
	MUXC	Multiplexer-Steuersignal
	OR	ODER-Glied
	R	Register

Patentansprüche

1. Mehrere CPUs enthaltendes System,
dadurch gekennzeichnet,
 - 5 - daß für die mehreren CPUs (CPU0 - CPU4) ein gemeinsamer Speicher (MEM) vorgesehen ist,
 - daß von den mehreren CPUs (CPU0 - CPU4) nur eine oder mehrere bestimmte CPUs an den zur Adressierung des gemeinsamen Speichers (MEM) vorgesehenen Adreß-Bus (ADRBUS) angeschlos-
 - 10 sen sind, und
 - daß Zugriffe der anderen CPUs auf den gemeinsamen Speicher (MEM) über eine der an den Adreß-Bus (ADRBUS) angeschlossene CPUs erfolgen.
- 15 2. System nach Anspruch 1,
dadurch gekennzeichnet,
daß nur eine oder mehrere bestimmte CPUs an den Daten-Bus (DATAREADBUS), über welchen der gemeinsame Speicher (MEM) aus ihm ausgelesene Daten ausgibt, angeschlossen sind.
- 20 3. System nach Anspruch 1 oder 2,
dadurch gekennzeichnet,
daß nur eine oder mehrere bestimmte CPUs an den Daten-Bus (DATAWRITEBUS), über welchen dem gemeinsame Speicher in die-
- 25 sen einzuschreibende Daten zugeführt werden, angeschlossen sind.
4. System nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet,
 - 30 - daß die nicht an den Adreß-Bus (ADRBUS) angeschlossenen CPUs zumindest teilweise an den Daten-Bus (DATAREADBUS), über welchen der gemeinsame Speicher (MEM) aus ihm ausgelesene Daten ausgibt und/oder an den Daten-Bus (DATAWRITEBUS), über welchen dem gemeinsame Speicher in diesen einzuschreibende Daten
 - 35 zugeführt werden, angeschlossen sind.

5. System nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet,
daß eine Schaltvorrichtung (MUX) vorgesehen ist, durch welche
dem gemeinsamen Speicher (MEM) wahlweise die Daten, die eine
5 der an den Adreß-Bus (ADRBUS) angeschlossenen CPUs auf den
Adreß-Bus ausgibt, oder in einer Adreß-Speichereinrichtung
(R) gespeicherte Daten als Adresse zugeführt werden.
6. System nach Anspruch 5,
10 dadurch gekennzeichnet,
daß die Schaltvorrichtung (MUX) ein Multiplexer ist,
- dessen erster Eingangsanschluß über den Adreß-Bus (ADRBUS)
mit den daran angeschlossenen CPUs verbunden ist,
- dessen zweiter Eingangsanschluß mit der Adreß-
15 Speichereinrichtung (R) verbunden ist, und
- dessen Ausgangsanschluß mit dem gemeinsamen Speicher (MEM)
verbunden ist.
7. System nach Anspruch 5 oder 6,
20 dadurch gekennzeichnet,
daß die Schaltvorrichtung (MUX) durch die an den Adreß-Bus
(ADRBUS) angeschlossenen CPUs steuerbar ist.
8. System nach einem der Ansprüche 5 bis 7,
25 dadurch gekennzeichnet,
daß die Adreß-Speichereinrichtung (R) an den Adreß-Bus
(ADRBUS) angeschlossen ist und die Adressen, die von den an
den Adreß-Bus angeschlossenen CPUs auf den Adreß-Bus ausgege-
ben werden, speichert.
30
9. System nach einem der Ansprüche 5 bis 8,
dadurch gekennzeichnet,
daß der Inhalt der Adreß-Speichereinrichtung (R) durch die
nicht am Adreß-Bus angeschlossenen CPUs inkrementierbar ist.
35
10. System nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet,

daß die nicht an den Adreß-Bus (ADRBUS) angeschlossenen CPUs den gemeinsamen Speicher (MEM) zum Auslesen von Daten aus dem Speicher und/oder zum Einschreiben von Daten in den Speicher veranlassen können.

5

11. System nach Anspruch 10,
d a d u r c h g e k e n n z e i c h n e t,
daß das Signal (C), durch welches der gemeinsame Speicher (MEM) zum Auslesen von Daten aus dem Speicher und/oder zum
10 Einschreiben von Daten in den Speicher veranlaßbar ist, ein Signal ist, dessen Verlauf von den Adressen abhängt, welche die nicht an den Adreß-Bus angeschlossenen CPUs zur Adressierung eines daran anschließbaren Speichers ausgeben.

12. System nach Anspruch 10 oder 11,
d a d u r c h g e k e n n z e i c h n e t,
daß das Signal (C), durch welches der gemeinsame Speicher (MEM) zum Auslesen von Daten aus dem Speicher und/oder zum
Einschreiben von Daten in den Speicher veranlaßbar ist, das
20 Ergebnis einer logischen Verknüpfung von Signalen ist, die von den CPUs, welche ein Auslesen von Daten aus dem Speicher und/oder ein Einschreiben von Daten in den Speicher veranlassen können sollen, oder von diesen zugeordneten Einrichtungen stammen, und durch die für jede einzelne CPU signalisiert
25 wird, ob diese ein Auslesen von Daten aus dem Speicher und/oder ein Einschreiben von Daten in den Speicher veranlassen möchte.

13. System nach einem der Ansprüche 10 bis 12,
30 d a d u r c h g e k e n n z e i c h n e t,
daß das Signal (C), durch welches der gemeinsame Speicher (MEM) zum Auslesen von Daten aus dem Speicher und/oder zum Einschreiben von Daten in den Speicher veranlaßbar ist, auch als das Signal verwendet wird, durch welches die Adreß-
35 Speichereinrichtung dazu veranlaßbar ist, ihren Inhalt zu inkrementieren.

14. System nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet,
daß die nicht an den Adreß-Bus (ADRBUS) angeschlossenen CPUs
bei einem über eine der am Adreß-Bus angeschlossenen CPUs er-
5 folgenden Zugriff auf den gemeinsamen Speicher (MEM) der CPU,
über welche der Zugriff erfolgen soll, die Adresse oder Da-
ten, aus welche die betreffende CPU die Adresse ermitteln
kann, bei welcher das Auslesen von Daten aus dem gemeinsamen
Speicher oder das Einschreiben von Daten in den Speicher be-
10 ginnen soll, übermittelt.

15. System nach Anspruch 14,
dadurch gekennzeichnet,
daß die CPU, über welche das Auslesen von Daten aus dem ge-
15 meinsamen Speicher oder das Einschreiben von Daten in den ge-
meinsamen Speicher erfolgt,
- die Adresse, bei welcher das Auslesen von Daten aus dem ge-
meinsamen Speicher oder das Einschreiben von Daten in den
gemeinsamen Speicher beginnen soll, auf den Adreß-Bus aus-
20 gibt,
- die Schalteinrichtung so ansteuert, daß dem gemeinsamen
Speicher die in der Adreß-Speichereinrichtung gespeicherten
Daten als Adresse zugeführt werden, und
- der CPU, welche den Zugriff auf den gemeinsamen Speicher
25 angefordert hat, mitteilt, daß sie nun Daten aus dem ge-
meinsamen Speicher auslesen oder Daten in den gemeinsamen
Speicher einschreiben kann.

16. System nach einem der vorhergehenden Ansprüche,
30 dadurch gekennzeichnet,
daß die die Adressen repräsentierenden Signale, welche die
nicht an den Adreß-Bus angeschlossenen CPUs ausgeben, als
Steuersignale verwendet oder in Steuersignale umgesetzt wer-
den, durch welche beliebige andere Systemkomponenten steuer-
35 bar sind.

17. System nach einem der Ansprüche 5 bis 16,
dadurch gekennzeichnet,
daß die Adreß-Speichereinrichtung (R) an den Daten-Bus
(DATAREADBUS), über welchen der gemeinsame Speicher (MEM) aus
5 ihm ausgelesene Daten ausgibt, angeschlossen ist, und auf
Veranlassung durch eine der CPUs den in ihr gespeicherten In-
halt auf den Daten-Bus ausgibt.

18. System nach Anspruch 17,
10 dadurch gekennzeichnet,
daß das Signal, durch welches die Adreß-Speichereinrichtung
(R) dazu veranlaßbar ist, den in ihr gespeicherten Inhalt auf
den Daten-Bus (DATAREADBUS) auszugeben, ein Signal ist, des-
sen Verlauf von den Adressen abhängt, welche die nicht an den
15 Adreß-Bus angeschlossenen CPUs zur Adressierung von daran an-
schließbaren Speichern ausgeben.

Zusammenfassung

Mehrere CPUs enthaltendes System

- 5 Das beschriebene System zeichnet sich dadurch aus, daß für die mehreren CPUs ein gemeinsamer Speicher vorgesehen ist, daß von den mehreren CPUs nur eine oder mehrere bestimmte CPUs an den zur Adressierung des gemeinsamen Speichers vorgesehenen Adreß-Bus angeschlossen sind, und daß Zugriffe der
- 10 anderen CPUs auf den gemeinsamen Speicher über eine der an den Adreß-Bus angeschlossene CPUs erfolgen. Dadurch kommt das System, obgleich es einen gemeinsamen Speicher aufweist, mit verhältnismäßig kurzen und/oder wenig verzweigten Bussen aus.
- 15 Figur 1

